

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-202637

(43)Date of publication of application : 04.08.1995

(51)Int.Cl.

H03H 19/00

(21)Application number : 05-339505

(71)Applicant : NATL SCI COUNCIL

(22)Date of filing : 02.12.1993

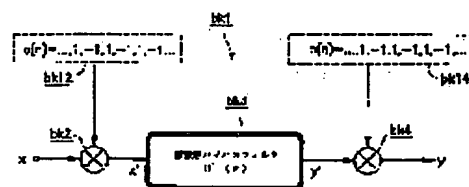
(72)Inventor : GO JUU  
CHO EIKI  
YU SAIKIN

## (54) SWITCHED CAPACITOR TYPE DIGITAL FILTER

### (57)Abstract:

**PURPOSE:** To eliminate low frequency noises from a noise circuit in an operational amplifier and to extend the dynamic range, and to eliminate the effect to the frequency response of the capacity ratio of a band filter.

**CONSTITUTION:** A switched capacitor type digital filter bk1 is provided with a discrete time sequence bk12 and a discrete time multiplier bk2. The multiplier bk2 receives an input signal (x), multiplies the input signal (x) by a signal c(n) outputted from the sequence bk12 and generates a chopped input signal x'. The multiplier bk2 is connected to a discrete time filter bk3, which receives the input signal x' and generates a filtered output signal y'. The discrete time high band filter bk3 or a low band filter bk7 can be used as the discrete time filter in accordance with a required function of a chopper stabilized and switched capacitor type digital filter such as low pass filter or a band filter.



## LEGAL STATUS

[Date of request for examination]

02.12.1993

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

2519171

[Date of registration]

17.05.1996

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Japanese Publication for Unexamined Patent Application

No. 202637/1995 (Tokukaihei 7-202637)

B. Translation of the Relevant Passages of the Document

This document has relevance to claims 1 and 3 of the present application.

[PRIOR ART]

...

[0003]

There have been some defects in conventional switched capacitor digital filters. For example, when the switched capacitor digital filter is used for filtering in low frequency range, the output signal is seriously deteriorated by factors such as (i) a low frequency noise such as  $1/f$  noise or (ii) an offset voltage or charge-injection noise of the operational amplifier which are intrinsic to the circuit structure. On the account of these low frequency noise, the dynamic range of the switched capacitor digital filter is restricted. Accordingly, the switched capacitor digital filter has limited use.

[0004]

In order to reduce a low frequency noise in the switched-capacitor digital-low-frequency-filter circuit, two

solutions has been proposed. One is to use a chopper-stabilized operational amplifier instead of a conventional operational amplifier provided in a filter. A technique using such an amplifier has been documented in "A Low-Noise Chopper-Stabilized Differential Switched Capacitor Filtering Technique," K. Hsieh, et al., IEEEJ. Solid-State Circuits, vol. SC16, no.6, pp.708-715. The other is to use the well-known "correlated duplicating sampling method."

[0005]

[PROBLEMS TO BE SOLVED BY THE INVENTION]

However, these conventional techniques are effective in reducing the low frequency noise only partially. This is because the conventional techniques approach the problem from the viewpoint of a circuit in the filter structure.

...

[0013]

[MEANS TO SOLVE THE PROBLEMS]

The switched capacitor digital filter of the present invention includes (i) a first discrete time sequence which undergoes a discrete state transition, (ii) a first discrete time multiplier which multiplies a received input signal by the discrete time sequence so as to chop the input signal, and (iii) a discrete time filter, connected to the first

discrete time multiplier, for generating an output signal which is produced by filtering the chopped input signal.

[0014]

In this arrangement, when the discrete time filter is provided as a discrete time high-pass filter, the switched capacitor digital filter can be used as a low frequency filter. On the other hand, when the discrete time filter is provided as a discrete low-pass filter, the switched capacitor digital filter can be used as a band-pass filter.

[0015]

The first discrete time sequence may be a signal that alternate between "1" and "-1" at predetermined time intervals. Further, the switched capacitor digital filter may include (i) a second discrete time sequence, and (ii) a second discrete time multiplier, connected to the second discrete time sequence and the discrete time filter, for generating a chopped output signal by multiplying the foregoing filtered output signal by the second discrete time sequence. Evidently, the second discrete time sequence may be realized by a circuit that generates an alternating signal of "1" and "-1."

...

[REFERENCE NUMERALS]

...

bk1. CHOPPER-STABILIZED SWITCHED CAPACITOR

DIGITAL LOW-PASS FILTER

bk2. DISCRETE TIME MULTIPLIER

bk3. DISCRETE TIME HIGH-PASS FILTER

bk4 DISCRETE TIME MULTIPLIER

...

bk12. DISCRETE TIME SEQUENCE

bk14. DISCRETE TIME SEQUENCE

...

[FIG.1]

DISCRETE HIGH-PASS FILTER

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-202637

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl.<sup>6</sup>

H 0 3 H 19/00

識別記号

庁内整理番号

8842-5 J

F I

技術表示箇所

審査請求 有 請求項の数6 FD (全13頁)

(21) 出願番号 特願平5-339505

(22) 出願日 平成5年(1993)12月2日

(71) 出願人 591185375

ナショナル・サイエンス・カウンシル  
NATIONAL SCIENCE CO  
UNCIL台湾、タイペイ、ホーピング イー、ロー  
ド、セクション 2、106、18階

(72) 発明者 呉 重雨

台湾新竹市博愛街75-1号

(72) 発明者 張 英輝

台湾台北縣中和市莊敬路16巷15弄1号5樓

(72) 発明者 ▲余▼ 再鈞

台湾台北縣板橋市漢生西路153巷3号2樓

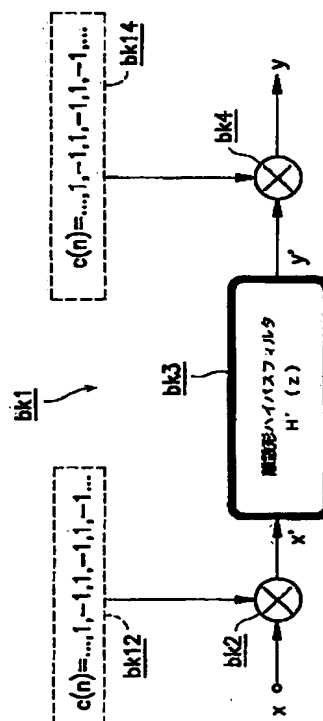
(74) 代理人 弁理士 下出 隆史 (外1名)

(54) 【発明の名称】 スイッチドキャパシタ形デジタルフィルタ

(57) 【要約】

【目的】 演算増幅器のノイズ7回路の低周波ノイズを除去し、ダイナミックレンジを拡大する。又、帯域フィルタの容量比の周波数応答への影響を除去する。

【構成】 スイッチドキャパシタ形デジタルフィルタ  $b k 1$  は、離散的時間シーケンス  $b k 1 2$  と離散的時間乗算器  $b k 2$  を備える。離散的時間乗算器  $b k 2$  は、入力信号  $x$  を受信し、これに離散的時間シーケンス  $b k 1 2$  からの信号  $c(n)$  を乗算し、チョッピングを施された入力信号  $x'$  を発生する。離散的時間乗算器  $b k 2$  には、離散的時間フィルタ  $b k 3$  が接続されていて、入力信号  $x$  を受信し、これにフィルタリングを施した出力信号  $y'$  を発生する。離散的時間フィルタは、ローパスフィルタまたは帯域フィルタといったチョップ安定化スイッチドキャパシタ形デジタルフィルタの所望の機能に従って、離散的時間高域フィルタ  $b k 3$  または低域フィルタ  $b k 7$  とすることができる。



(2)

1

## 【特許請求の範囲】

【請求項1】 離散的に状態が遷移する第1の離散的時間シーケンスと、

前記第1の時間シーケンスに接続され、入力信号を受信すると、該入力信号に前記第1の離散的時間シーケンスを乗算し、チョッピングを施した入力信号を発生する第1の離散的時間乗算器と、

前記第1の離散的時間乗算器に接続されて、前記チョッピングを施した入力信号を受信し、これにフィルタリングを施した出力信号を発生する離散的時間フィルタとを備えるスイッチドキャパシタ形デジタルフィルタ。

【請求項2】 前記離散的時間フィルタが、離散型ハイパスフィルタである請求項1に記載のスイッチドキャパシタ形デジタルフィルタ。

【請求項3】 前記離散的時間フィルタが、離散型ローパスフィルタである請求項1に記載のスイッチドキャパシタ形デジタルフィルタ。

【請求項4】 前記第1の離散的時間シーケンスが、交番する「1」及び「-1」の信号から構成される請求項1ないし請求項3の何れかに記載のスイッチドキャパシタ形デジタルフィルタ。

【請求項5】 離散的に状態が遷移する第2の離散的時間シーケンスと、

該第2の離散的時間シーケンス及び前記離散的時間フィルタに接続されていて、前記フィルタリングを施した出力信号を受信すると、これに前記第2の離散的時間シーケンスを乗算し、チョッピングを施された出力信号を発生する第2の離散的時間乗算器とを備える請求項1ないし請求項4の何れかに記載のスイッチドキャパシタ形デジタルフィルタ。

【請求項6】 前記第2の離散的時間シーケンスが、交番する「1」及び「-1」の信号から構成される請求項5に記載のスイッチドキャパシタ形デジタルフィルタ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、一般に、スイッチドキャパシタ形デジタルフィルタに関するものであり、とりわけチョッパの手法を採用したスイッチドキャパシタ形デジタルフィルタに関するものである。

## 【0002】

【従来の技術】スイッチドキャパシタ形デジタルフィルタは、IC（集積回路）テクノロジーによって実現するのが極めて適しており、従って、特に遠隔通信のための諸回路に、VLSI（超大規模集積回路）として実現された製品に広く用いられている。例えば、この種のフィルタは、ISDN（統合サービス、デジタル、ネットワーク）Uインターフェイス、9600MODEM（モデムV.32、9600bps）、あるいは移動電話等に用いられている。

【0003】従来のスイッチドキャパシタ形デジタルフ

2

ィルタには、いくつかの欠点があった。例えば、スイッチドキャパシタ形デジタルフィルタが、低域におけるフィルタリングの用途に用いられる場合、 $1/f$ ノイズのような低周波ノイズ、あるいは回路構成上生じる演算増幅器のオフセット電圧や電荷注入ノイズ等によって、出力信号に重大な劣化を生じる。これらの低周波ノイズ等によって、スイッチドキャパシタ形デジタルフィルタのダイナミック・レンジが制限され、更にはこのデジタルフィルタの用途が制約される。

【0004】従来より、このスイッチドキャパシタ形デジタル低域フィルタ回路における低周波ノイズを減少させるために、2種類の解決策が提案されていた。解決策の1つは、フィルタ内の従来の演算増幅器の代わりに、チョッパ安定化演算増幅器を利用することである。こうした技法については、1981年12月のIEEE J. Solid-State Circuits, vol. SC16, no. 6, pp708-715の、K. Hsieh他による「A Low-Noise Chopper-Stabilized Differential Switched-Capacitor Filtering Technique」と題する論文に記載がある。もう1つの解決策は、既知の「相関二重サンプリング法」を利用することである。

## 【0005】

【発明が解決しようとする課題】しかしながら、これらの2つの従来の技法は、既存のフィルタ構成に対して、回路の観点から問題にアプローチしているに過ぎないので、低周波ノイズの改善は、その一部分に留まっていた。

【0006】一方、スイッチドキャパシタ形デジタルフィルタが、帯域フィルタリング用途に用いられる場合、容量比が大きくなるという問題が生じる。すなわち、帯域通過中心周波数によっては、スイッチドキャパシタ形デジタル帯域フィルタの構成に必要とされる容量比が、極めて大きくなってしまふのである。更に、帯域通過中心周波数は、容量比と演算増幅器の利得によって決まるので、フィルタの周波数応答が、回路を構成する要素の特性に対して大きく左右され、フィルタの帯域通過機能がICプロセスのばらつきによって影響を受けやすくなるという問題が指摘されていた。現在のところ、この問題を解決するために、次の2つのアプローチが存在する。

【0007】第1のアプローチは、回路構成要素の特性に対する影響を抑えるために、極めて困難なフィルタ設計及び極めて特殊な回路方法を提案している。こうした技法については、1983年12月のIEEE J. Solid-State Circuits, vol. SC18, no. 6, pp652-664のT. C. Choi他による「High-Frequency CO s Switched-Capacitor Filt

50

(3)

3

ers for Communications Application」と題する論文に記載がある。

【0008】もう1つのアプローチは、米国特許第4, 644, 304号及び第4, 446, 438号に示されたもので、ここではN路フィルタが開示されている。

【0009】しかしながら、前者のアプローチは、現実には困難すぎて、簡単には実施できない。また、後者のアプローチの場合、そのフィルタのダイナミック・レンジが、容量比の正確さによって制限される。更に、これら2つのアプローチは共に、回路の観点から問題を解決することを意図したものであり、このため、その結果は実際に満足いくものではなかった。

【0010】本発明のスイッチドキャパシタ形デジタルフィルタの目的は次の通りである。本発明の主たる目的は「チョッパ」技法を利用して、上述の問題を解決するスイッチドキャパシタ形デジタルフィルタを提供することにある。この目的のために本発明では、先行技術において提案された回路の観点とは全く異なる観点、即ちシステムの観点から問題を解決している。

【0011】本発明のもう1つの目的は、低域フィルタリングに適用されるデジタルフィルタであって、演算増幅器のノイズだけでなく、回路の低周波ノイズを除去することの可能なスイッチドキャパシタ形デジタルフィルタを提供することにある。従って、スイッチドキャパシタ形デジタルフィルタのダイナミック・レンジは飛躍的に拡大する。

【0012】更に、本発明のもう1つの目的は、帯域フィルタリングに適用して、困難なフィルタ設計及び特殊な回路方法に頼ることなく、容量比を大幅に小さくし、回路構成要素の特性に対するフィルタの周波数応答への影響を大幅に低下させることの可能なスイッチドキャパシタ形デジタルフィルタを提供することにある。しかも、N路フィルタを利用しない本発明のスイッチドキャパシタ形デジタルフィルタのダイナミック・レンジは、容量比の精度に影響を受けることもない。

【0013】

【課題を解決するための手段】本発明のスイッチドキャパシタ形デジタルフィルタは、離散的に状態が遷移する第1の離散的時間シーケンスと、受信した入力信号に前記第1の離散的時間シーケンスを乗算してチョッピングを施す第1の離散的時間乗算器と、該第1の離散的時間乗算器に接続されて前記チョッピングを施した信号にフィルタリングを施した出力信号を発生する離散的時間フィルタから構成される。

【0014】ここで、離散的時間フィルタを離散型ハイパスフィルタとすれば、スイッチドキャパシタ形デジタルフィルタを低域フィルタとして構成することができる。また、離散的時間フィルタを離散型ローパスフィルタとすれば、スイッチドキャパシタ形デジタルフィルタを、帯域フィルタとして構成することができる。

4

【0015】更に、第1の離散的時間シーケンスは、所定時間毎に交番する「1」及び「-1」の信号で構成することが可能である。また、スイッチドキャパシタ形デジタルフィルタは、更に、今一つの第2の離散的時間シーケンスと、該第2の離散的時間シーケンス及び前記離散的時間フィルタに接続されてフィルタリングを施した前記出力信号に前記第2の離散的時間シーケンスを乗算してチョッピングを施した出力信号を発生する第2の離散的時間乗算器から構成することも可能である。もとより、第2の離散的時間シーケンスは、交番する「1」及び「-1」の信号を発生する回路として構成することが可能である。

【0016】

【作用】以上のように構成された本発明のスイッチドキャパシタ形デジタルフィルタは、第1の離散的時間乗算器が、離散的に状態を遷移する第1の離散的時間シーケンスを入力信号に乗算してチョッピングを施す。第1の離散的時間乗算器がチョッピングを施した信号に、離散的時間フィルタは、フィルタリングを施し、その出力信号を出力する。

【0017】

【実施例】以上説明した本発明の構成・作用を一層明らかにするために、以下本発明の好適な実施例を従来例と比較しつつ説明する。既知のように、スイッチドキャパシタ形デジタルフィルタは離散的フィルタであり、入力信号と出力信号との間の関係は、 $z$ 領域における伝達関数 $H(z)$ として表すことが可能である。ここで、 $z = e^{j\omega}$ であり、 $\omega$ は角周波数である。

【0018】角周波数 $\omega$ と連続信号の周波数 $f$ との関係は、 $f_s$ を本デジタルフィルタのサンプリング周波数として、 $\omega = 2\pi \cdot f / f_s$ である。また、サンプリング周波数 $f_s$ は $f_s = 1/T$ として表現される。ここで $T$ は、サンプリング周期である。従って、連続信号 $f = f_s/2$ の場合には、角周波数 $\omega = \pi$ となる。本明細書において、以下のスイッチドキャパシタ形デジタルフィルタに関する説明は、すべてサンプリング周期 $T$ でサンプリングされた $z$ 領域に関するものである。

【0019】図1を参照しながら、本発明の望ましい実施例としてのチョッパ安定化スイッチドキャパシタ形デジタル低域フィルタについて説明する。本発明の主たる原理は、低域フィルタリング及び帯域フィルタリングに適用可能であり、「チョッパ」技法を巧みに利用している。この点は、詳細に後述する。

【0020】図1に示すように、チョッパ安定化スイッチドキャパシタ形デジタル低域フィルタ $b_{k1}$ には、交番する「1」と「-1」の信号 $c(n)$ からなる離散的時間シーケンス $b_{k12}$ と、受信した低周波入力信号 $x$ に離散的時間シーケンス $b_{k12}$ の信号 $c(n)$ を乗算して出力端子から信号 $x'$ を送り出す離散的時間乗算器 $b_{k2}$ が含まれている。また、この離散的時間乗算器 $b_{k2}$



(4)

5

k 2の出力には離散型ハイパスフィルタ b k 3が接続されていて、離散的時間乗算器 b k 2の出力信号 x'を受信して、これにフィルタリングを施し、その出力端子からフィルタリングが施された信号 y'を発生するようになっている。ここで、離散型ハイパスフィルタ b k 3の伝達関数 H' (z) と本デジタル低域フィルタ b k 1の伝達関数 H (z) の間の関係は、 $H' (z) = H (-z)$  と表すことが可能である。

【0021】本実施例のチョップ安定化スイッチドキャパシタ形デジタル低域フィルタ b k 1には、更に、交番する「1」と「-1」のデジタル信号 c (n) を出力する離散的時間シーケンス b k 1 4と、前記離散型ハイパスフィルタ b k 3の出力信号 y'を受信してこれに離散的時間シーケンス b k 1 4の信号 c (n) を乗算して本デジタル低域フィルタ b k 1の最終信号 yを送り出す離散的時間乗算器 b k 4が含まれている。この構成により、本デジタル低域フィルタ b k 1の伝達関数は、所望の伝達関数 H (z) に等しくなる。これは、下記の数学的演算によって簡単に証明することができる。

【0022】離散的時間シーケンス b k 1 2、b k 1 4の信号 c (n) は、1、-1を繰り返すから、z変換すれば公比-1の級数として展開でき、 $X (z) = X' (-z)$ 、 $Y (z) = Y' (-z)$  が成立する。また、図1に示したように、 $Y' (z) = H' (z) \cdot X' (z)$  である。

【0023】従って、本デジタル低域フィルタ b k 1の出力 Y (z) は、  
 $Y (z) = Y' (-z)$   
 $= H' (-z) \cdot X' (-z)$   
 $= H (z) \cdot X (z)$   
 となる。

【0024】これは、図1のフィルタ構造によって、従来のスイッチドキャパシタ形デジタル低域フィルタと同じ伝達関数を得ることが可能であることを表している。

【0025】次に、図2を参照して、本発明の第2の望ましい実施例としてのチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタにつき説明する。この実施例は、帯域 (バンドパス) フィルタに関するものであるが、第1実施例と同様、「チョップ」技法を利用している。

【0026】チョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ b k 5には、交番する「1」と「-1」のデジタル信号 c (n) を出力する離散的時間シーケンス b k 1 6と、受信した帯域通過入力信号 xに前記離散的時間シーケンス b k 1 6の信号 c (n) を乗算して出力端子から信号 x'を送り出す離散的時間乗算器 b k 6が含まれている。また、この離散的時間乗算器 b k 6には離散型ロウパスフィルタ b k 7が接続されていて、離散的時間乗算器 b k 6の出力信号 x'を受信して、これにフィルタリングを施し、その出力端子からフ

6

ィルタリングが施された信号 y'を発生するようになっている。ここで、離散型ロウパスフィルタ b k 7の伝達関数 H' (z) と本デジタル帯域フィルタ b k 5全体の伝達関数 H (z) との間の関係は、 $H' (z) = H (-z)$  と表すことが可能である。

【0027】本実施例のチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ b k 5には、更に、交番する「1」と「-1」のデジタル信号 c (n) を出力する離散的時間シーケンス b k 1 8と、前記離散型ロウパスフィルタ b k 7の出力信号 y'を受信してこれに離散的時間シーケンス b k 1 8の信号 c (n) を乗算して本デジタル帯域フィルタ b k 5の最終信号 yを送り出す離散的時間乗算器 b k 8が含まれている。この構成により、本デジタル帯域フィルタ b k 5の伝達関数は、所望の伝達関数 H (z) に等しくなる。これは、第1実施例と同様、下記の数学的演算によって簡単に証明することができる。

【0028】離散的時間シーケンス b k 1 6、b k 1 8の信号 c (n) は、1、-1を繰り返すから、z変換すれば公比-1の級数として展開でき、 $X (z) = X' (-z)$ 、 $Y (z) = Y' (-z)$  が成立する。また、図2に示したように、 $Y' (z) = H' (z) \cdot X' (z)$  である。

【0029】従って、第2実施例のデジタル帯域フィルタ b k 5の出力 Y (z) は、  
 $Y (z) = Y' (-z)$   
 $= H' (-z) \cdot X' (-z)$   
 $= H (z) \cdot X (z)$

【0030】これは、図2のフィルタ構造によって、従来のスイッチドキャパシタ形デジタル帯域フィルタと同じ伝達関数を得ることが可能であることを表している。

【0031】図2のデジタル帯域フィルタ b k 5は、図1のデジタル低域フィルタ b k 1と極めて近似の構造を有する。唯一違うのは、離散型のフィルタ b k 3および b k 7の構造である。デジタル帯域フィルタ b k 5では離散型ロウパスフィルタを用いているが、デジタル低域フィルタ b k 1は離散型ハイパスフィルタを利用しているのである。

【0032】更に、図1、図3および図4を参照して、チョップ安定化スイッチドキャパシタ形デジタル低域フィルタ b k 1のそれぞれの部分に関する動作及び機能について、詳細な説明を行なう。チョップ安定化スイッチドキャパシタ形デジタル低域フィルタ b k 1が低域フィルタリング用の特性を有する場合、図1に示すように離散型ハイパスフィルタ b k 3が用いられることは既に説明した。

【0033】図3 (a) (b) は、このチョップ安定化スイッチドキャパシタ形デジタル低域フィルタ b k 1における信号 x、x' のハーフ・スペクトルの略図であり、図4 (a) (b) は、同じく y、y' のハーフ・ス

(5)

7

ペクトルの略図である。離散的時間乗算器  $b k 2$  によって実施される乗算は、「チョッパ」乗算と呼ばれ、図3 (a) に示すような中心周波数  $\omega x$  の低周波入力信号  $x$  を、図3 (b) に示すような中心周波数が  $(\pi - \omega x)$  の信号  $x'$  に変調することに相当する。この様に変調された信号  $x'$  が離散型ハイパスフィルタ  $b k 3$  を通過すると、回路による低周波ノイズ  $e(n)$  が生じる。図4 (a) には信号  $y'$  のハーフ・スペクトルを示したが、低周波ノイズ  $e(n)$  の  $z$  領域の伝達関数が  $E(z)$  を同図に破線で示した。

【0034】離散的時間乗算器  $b k 4$  の「チョッパ」乗算は、図4 (a) に示す離散型ハイパスフィルタ  $b k 3$  の出力信号  $y'$  にチョッピングを施すものであり、こうして最終的な所望の信号  $y$  を得ている。こうして得られた最終的な信号  $y$  のスペクトルは、図4 (b) に示されるようになる。この様に、離散的時間乗算器  $b k 4$  の「チョッパ」乗算によって、回路の低周波ノイズ  $e(n)$  に対しては高周波領域へのチョッピングが施されるため、低周波領域にはノイズは存在せず、従って、回路による低周波ノイズ  $e(n)$  が、デジタル低域フィルタ  $b k 1$  のダイナミック・レンジに影響を及ぼすことはない。これは、下記の数学的演算によって簡単に証明することができる。

【0035】 $H(z) = H'(-z)$ ,  $X(z) = X'(-z)$  が成立することは、既に説明した。また、図1のブロック図から明らかなように、低周波ノイズ  $e(n)$  を加味して、

$Y'(z) = H'(z) \cdot X'(z) + E(z)$  である。

【0036】従って、本デジタル低域フィルタ  $b k 1$  の出力信号  $Y(z)$  は、

$$\begin{aligned} Y(z) &= Y'(-z) \\ &= H'(-z) \cdot X'(-z) + E(-z) \\ &= H(z) \cdot X(z) + E(-z) \\ \dots (1) \end{aligned}$$

【0037】式(1)から分かるように、出力信号のノイズ項は  $E(-z)$  である。すなわち、ノイズ項  $E(-z)$  は高周波項であるため、出力信号  $Y(z)$  に影響を与えることはない。

【0038】本発明の利点を明らかにするため、従来のスイッチドキャパシタ形デジタルフィルタと、第1実施例のチョッパ安定化スイッチドキャパシタ形デジタルフィルタの一例とを、シミュレーションを利用して検証した。この点を以下に説明する。

【0039】図5には、既知の回路によって、図示する  $z$  領域伝達関数を実現した従来の2次スイッチドキャパシタ形デジタル低域フィルタ回路10のブロックダイアグラムである。また、図6は、図5のブロックダイアグラムに基づき、2段のキャパシタ及び作動増幅器を用いて設計された従来の2次スイッチドキャパシタ形デジ

8

タル低域フィルタ20の電気回路略図である。図6において「1」及び「2」はスイッチング素子を示し、そのオン・オフのタイミングは、図7に示したとおりである。図7は、スイッチング素子を駆動するクロックを示し、そのサンプリング周期  $T$  は、システムのサンプリング周波数に対応している。図示するように、スイッチング素子を駆動する2つの制御クロックは、サンプリング周期  $T$  が同じであり、逆位相なので、互いに重なることはない。

10 【0040】図8には、図1に示したチョッパ安定化スイッチドキャパシタ形デジタル低域フィルタ  $b k 1$  の原理に基づき、かつ図5のフィルタ回路10と同じフィルタリング機能を得ることが可能な2次チョッパ安定化スイッチドキャパシタ形デジタル低域フィルタ30のブロックダイアグラムが示されている。この低域フィルタ30は、図8に示した  $z$  領域の伝達関数は、適合する既知の回路によって実現することが可能である。

【0041】図8のブロックダイアグラムに基づいて設計された2次チョッパ安定化スイッチドキャパシタ形デジタル低域フィルタ35の電気回路を、図9に示す。この低域フィルタ35は、図6に示した低域フィルタ回路20と同様、2段のキャパシタ、スイッチング素子群及び作動増幅器による離散型ハイパスフィルタ部36、この離散型ハイパスフィルタ部36の前段に設けられた第1の離散的時間シーケンス及び離散的時間乗算器としてのスイッチング素子群37、離散型ハイパスフィルタ部36の後段に設けられた第2の離散的時間シーケンス及び離散的時間乗算器としてのスイッチング素子群38から構成されている。

30 【0042】離散型ハイパスフィルタ部36のスイッチング素子「1」「2」、スイッチング素子群37、38のスイッチング素子「11」「12」を駆動する制御クロックを、図12示す。図10に示す周期  $T$  も、システムのサンプリング周波数に対応している。スイッチング素子「1」及び「2」を駆動する制御クロックは、図7に示すものと同じである。スイッチング素子「11」及び「12」を駆動する制御クロックは、サンプリング周期  $2T$  であり、互いに重なることはないが、スイッチング素子「1」及び「2」を駆動するクロックとは重なることになる。スイッチング素子「11」及び「12」を駆動するクロックは、結果的に信号入力及び出力の極性を周期  $T$  で交番させており、図1の離散的時間シーケンス  $b k 1 2$ ,  $b k 1 4$  及び乗算器  $b k 2$ ,  $b k 4$  が実現される。離散型ハイパスフィルタ  $b k 3$  自体は、従来のスイッチドキャパシタ形デジタルフィルタ設計によって実現可能である。

50 【0043】この図6および図9の回路は、シミュレーションを実施するベースとして利用した。このシミュレーションには、米国コロムビア大学の K. Suyama 及び S. C. Fang によって開発された SWICAP

(6)

9

11として知られるスイッチドキャパシタ形デジタル回路シミュレータ・ソフトウェアが利用されている。シミュレーションに必要とされる回路の等価ノイズ源 $e_1$ 及び $e_2$ は、図6及び図9に示すそれぞれの演算増幅器の前に追加される。不平衡なノイズの影響を確認するため、シンメトリな構成を有するフィルタ回路の上方回路部分のスイッチは電荷注入ノイズの影響があるスイッチをシミュレートし、下方回路部分のスイッチは理想のスイッチをシミュレートするものとした。従って、上方回路のノイズは、下方回路部分のノイズを相殺しない。

【0044】シミュレーションは、入力信号を周波数10 KHzの正弦波とし、サンプリング周波数を1024 KHzとして行なった。また、スペクトル分析のために4096個の出力信号にサンプリングを施した。第1のシミュレーションは、ノイズのない状態、すなわち、 $e_1 = e_2 = 0$ の状態で行なった。また、第2のシミュレーションは、ノイズのある状態、すなわちノイズ源 $e_1$ として1 KHzの正弦波、ノイズ源 $e_2$ として4 KHzの正弦波を加えて行なった。これらのシミュレーションの結果を、図11～図13に示す。これらの図には、第1のシミュレーション（ノイズなし）の結果を点線で、第2のシミュレーション（ノイズあり）の結果を実線で、各々示した。

【0045】図11は、従来の演算増幅器を利用したフィルタ、すなわち、チョップ安定化演算増幅器を利用しない従来のスイッチドキャパシタ形デジタル低域フィルタ20（図6参照）のシミュレーション結果である。なお、図12は、従来のスイッチドキャパシタ形デジタル低域フィルタ20において、演算増幅器としてチョップ安定化演算増幅器を利用した場合のシミュレーション結果である。

【0046】図11及び図12を比較してはつきりと分かるように、従来のスイッチドキャパシタ形デジタル低域フィルタは、いかなる種類の演算増幅器が用いられているにせよ、必ず図11における特性60または図12における特性62に示される演算増幅器ノイズまたは電荷注入ノイズによる影響が顕著に現われてしまう。

【0047】一方、図13に、図9に示した第1実施例のチョップ安定化スイッチドキャパシタ形デジタル低域フィルタ35のシミュレーション結果を示した。この結果からはつきりと分かるように、ノイズのない状態及びノイズのある状態の何れにおける出力信号も略同一であり、本実施例のデジタル低域フィルタは、理想的な周波数特性を示している。すなわち、本チョップ安定化スイッチドキャパシタ形デジタル低域フィルタは、例え従来の演算増幅器を用いた構成（即ちチョップ安定化演算増幅器を利用しない構成）を採用しても、低周波ノイズによる影響を完全に回避することができる。もとより、チョップ安定化演算増幅器を用いてフィルタ部を36を構成することも望ましい。

10

【0048】理論的導出及びコンピュータ・シミュレーションの両方によって、本発明の場合、低周波ノイズの影響は極めて低いので、スイッチドキャパシタ形デジタル低域フィルタのダイナミック・レンジが大幅に改善されることが確認された。従って、本発明は、高解像度のスイッチドキャパシタ形デジタル低域フィルタ回路に適用するのに極めて適した特性を示すのである。

【0049】次に、図2、図14および図15を参照して、第2実施例としての、チョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ $b_k 5$ のそれぞれの部分の動作及び機能について、更に詳細な説明を行なう。図2に示すように、チョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ $b_k 5$ が帯域フィルタリングの特性を示す場合、離散的な時間フィルタとしては離散型ロウパスフィルタ $b_k 7$ が用いられる。

【0050】このチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ $b_k 5$ における帯域通過信号の中心周波数は、システムのサンプリング周波数の半分、すなわち角周波数 $\pi - \omega_x$ である。図14(a)(b)は、チョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ $b_k 5$ における信号 $x$ 及び $x'$ のハーフスペクトルの図である。また、図15(a)(b)は、同じく信号 $y'$ 及び $y$ のハーフ・スペクトルの図である。図14(a)に示すように入力信号 $x$ には、中心周波数が $\pi - \omega_x$ の帯域通過信号 $x_1$ と、非帯域通過信号 $e$ が含まれている。図14では、それぞれ $z$ 領域の信号 $X_1(z)$ 、 $E(z)$ として示した。離散的な時間乗算器 $b_k 6$ において実施される「チョップ」乗算によってこれらの入力信号 $x$ は信号 $x'$ に変調される。この場合には、図14(b)に示すように、中心周波数が $\pi - \omega_x$ の帯域通過信号 $x_1$ は中心周波数が $\omega_x$ の信号 $x_1'$ に変調され、非帯域通過信号 $e$ は高周波信号 $e'$ に変調される。

【0051】次に信号 $x'$ は、離散型ロウパスフィルタ $b_k 7$ を通過することで低域フィルタリングが施される。図15(a)は、この離散型ロウパスフィルタ $b_k 7$ の出力信号 $y'$ に関するハーフ・スペクトルが示されている。離散的な時間乗算器 $b_k 8$ の「チョップ」乗算によって、更に出力信号 $y'$ にチョッピングが施され、最終的に所望の信号 $y$ が得られる。この最終的な出力信号 $y$ のスペクトルは、図15(b)に示されている。図示するように、帯域通過信号 $x_1$ は本デジタル帯域フィルタを通過して希望する帯域フィルタリングが行なわれるのは明らかであり、非帯域通過入力信号 $e$ は大きく減衰している。これは、下記の数学的演算によって証明することができる。

$$\begin{aligned} \text{【0052】 上記説明より、} \\ X(z) &= X_1(z) + E(z) \\ X'(z) &= X_1'(z) + E(-z) \\ X_1'(z) &= X_1(-z) \end{aligned}$$

(7)

11

$$Y'(z) = H'(z) \cdot X'(z)$$

$$H(z) = H'(-z)$$

$$X(z) = X'(-z)$$

の関係が成立する。

【0053】従って、本デジタル帯域フィルタの出力  $Y(z)$  は、

$$Y(z) = Y'(-z)$$

$$= H'(-z) \cdot X'(-z)$$

$$= H(z) \cdot X(z)$$

の関係を有するから、ノイズを考慮した出力  $Y(z)$  は、

$$Y(z) = H(z) \cdot X_1(z) + H(z) \cdot E(z)$$

…式(2)

となる。

【0054】式(2)から分かるように、フィルタの本来の帯域以外の帯域を通過した非帯域通過入力信号  $e$  は、その出力信号  $Y(z)$  においては  $H(z) \cdot E(z)$  まで減衰する。一方、帯域通過入力信号  $X_1(z)$  は、そのままフィルタを通過するので、帯域フィルタリング機能が証明される。

【0055】留意すべきは、帯域フィルタリングに本発明を適用する場合、チョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ  $b k 5$  のフィルタ・ブロック(図2中の  $b k 7$ )は低域フィルタであって、帯域フィルタではないという点である。

【0056】この様に、チョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ  $b k 5$  は、所望の帯域フィルタリング機能を果たすことが可能である。この場合に必要とされる離散型ロウパスフィルタ  $b k 7$  の仕様は、その中心周波数が、角周波数  $\pi$  からゼロ周波数に移動する点を除けば、設計される帯域フィルタの仕様と同じである。従って、本実施例に基づくデジタル帯域フィルタの設計は、仕様が大幅に単純化される。

【0057】更に、本チョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ  $b k 5$  は、従来必要としていた帯域フィルタを利用することなく構成される。このため、従来の帯域フィルタリング用途に用いられるスイッチドキャパシタ形デジタル帯域フィルタの有していた問題点、すなわち容量比が極めて大きく、しかも、回路構成要素の特性に対してフィルタの周波数応答が大きく左右されるといった問題は、もはや存在しない。

【0058】図16には、図2に示すチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ  $b k 5$  に基づいて設計された回路のブロックダイアグラムが示されている。図16の  $z$  領域の伝達関数は、適合する既知の回路によって実現することができる。図17には、図16のブロックダイアグラムに基づいて設計されたチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ  $40$  の一例が示されている。この帯域フィルタ  $40$  も、2段のキャパシタ、スイッチング素子群及び作動増幅器

12

からなる離散型ロウパスフィルタ部  $46$ 、この離散型ロウパスフィルタ部  $46$  の前段に設けられ第1の離散時間的シーケンス及び離散的時間乗算として機能するスイッチング素子群  $47$ 、同じく後段に設けられ第2の離散時間的シーケンス及び離散的時間乗算として機能するスイッチング素子群  $48$  から構成されている。

【0059】図17に示した離散型ロウパスフィルタ部  $46$  のスイッチング素子「1」「2」およびスイッチング素子群  $47$ 、 $48$  のスイッチング素子「11」「12」を駆動する制御信号は、図10に示したものと同一である。スイッチング素子「11」及び「12」を駆動するクロックは、結果的に信号入力及び出力の極性を周期  $T$  で交番させており、図2の離散的時間シーケンス  $b k 16$ 、 $b k 18$  及び離散的時間乗算器  $b k 6$ 、 $b k 8$  を実現する。また、離散型ロウパスフィルタ  $b k 7$  は、図6に示すように、従来のスイッチドキャパシタ形デジタル低域フィルタと同一の構成によって実現することができる。

【0060】なお、以上説明した実施例では、図1及び図2の離散的時間シーケンス  $b k 12$ 、 $b k 16$  は、両方とも、交番する「1」及び「-1」の信号  $c(n)$  から構成されるシーケンスとして解説されているが、本発明では、これと異なる状態遷移を実現する他の離散的時間シーケンスを利用して同様の「チョップ」演算を行なうことも何等差し支えない。

【0061】また、オプションにより、本発明のフィルタの後に接続された他の信号処理回路として、図1及び図2の離散的時間シーケンス  $b k 14$ 、 $b k 4$  及び離散的時間乗算器  $b k 18$ 、 $b k 8$  を用いることもできる。すなわち、本発明のチョップ安定化スイッチドキャパシタ形デジタルフィルタは、実施例における離散的時間シーケンス  $b k 14$ 、 $b k 4$  及び離散的時間乗算器  $b k 18$ 、 $b k 8$  を省略することが可能である。

【0062】以上、現在のところ最も実用的で、望ましい実施例であると考えられるものについて解説してきたが、理解しなければならないのは、ここに開示した実施例により本発明を限定する必要はないということである。逆に、さまざまな修正及び同様の構成が、付属の請求項の精神及び範囲内に含まれることを意図したものであり、その範囲については最も広く解釈して、こうした修正及び同様の構造の全てを包含するようにするのが望ましい。

【0063】

【発明の効果】以上説明したように本発明のスイッチドキャパシタ形デジタルフィルタでは、ノイズのある状態でも出力信号はノイズがない場合とほぼ同一となり、理想的な周波数特性を示すという効果を奏する。すなわち、本発明のスイッチドキャパシタ形デジタル低域フィルタは、回路をいかなる演算増幅器で構成するかに関わらず、ノイズ、特に回路構成上生じる低周波ノイズによ

(8)

13

る影響を完全に回避することができる。

【0064】また、本発明のスイッチドキャパシタ形デジタルフィルタは、その回路トポロジーが単純であり、設計しやすく、特殊なICプロセスを必要とせず製造することができるという利点が得られる。

【図面の簡単な説明】

【図1】本発明の第1の望ましい実施例としてのチョップ安定化スイッチドキャパシタ形デジタル低域フィルタの機能ブロック図である。

【図2】本発明の第2の望ましい実施例としてのチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタの機能ブロック図である。

【図3】図1のチョップ安定化スイッチドキャパシタ形デジタル低域フィルタの入力信号の特性を示すグラフである。

【図4】同じくその出力信号の特性を示すグラフである。

【図5】従来の2次スイッチドキャパシタ形デジタル低域フィルタ回路のブロックダイアグラムを示す説明図である。

【図6】図5に示すブロックダイアグラムに基づいて設計された従来の2次スイッチドキャパシタ形デジタル低域フィルタ20の電気回路図である。

【図7】図6に示したフィルタ20のスイッチング素子を駆動する制御クロックを示すタイミングチャートである。

【図8】図1に示す構造に基づいて実際に設計された、2次チョップ安定化スイッチドキャパシタ形デジタル低域フィルタのブロックダイアグラムを示す説明図である。

【図9】図8に示すブロックダイアグラムに基づいて設計された実施例としての2次チョップ安定化スイッチドキャパシタ形デジタル低域フィルタ35の電気回路図である。

【図10】図9に示したフィルタ35のスイッチング素子を駆動する制御クロックを示すタイミングチャートである。

【図11】チョップ安定化演算増幅器ではない演算増幅器を利用して構成した従来回路におけるシミュレーション結果を示すグラフである。

14

【図12】チョップ安定化演算増幅器を利用して構成した従来回路におけるシミュレーション結果を示すグラフである。

【図13】チョップ安定化演算増幅器ではない演算増幅器を利用して構成した第1実施例のフィルタ回路におけるシミュレーション結果を示すグラフである。

【図14】図2のチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタの入力信号の特性を示すグラフである。

【図15】同じく出力信号の特性を示すグラフである。

【図16】図2に示した機能ブロック図に基づいて設計されたチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタのブロックダイアグラムを示す説明図である。

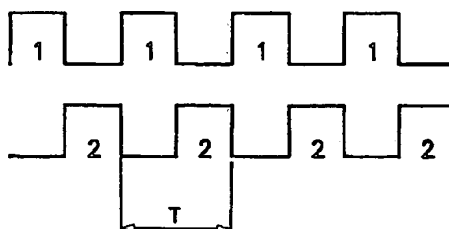
【図17】図16に示すブロックダイアグラムに基づいて設計された実施例としてのチョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ40の電気回路図である。

【符号の説明】

- 10…2次スイッチドキャパシタ形デジタル低域フィルタ回路
- 20…スイッチドキャパシタ形デジタル低域フィルタ
- 35…スイッチドキャパシタ形デジタル低域フィルタ
- 40…スイッチドキャパシタ形デジタル帯域フィルタ
- b k 1…チョップ安定化スイッチドキャパシタ形デジタル低域フィルタ
- b k 2…離散的時間乗算器
- b k 3…離散的時間高域フィルタ
- b k 4…離散的時間乗算器
- 30 b k 5…チョップ安定化スイッチドキャパシタ形デジタル帯域フィルタ
- b k 6…離散的時間乗算器
- b k 7…離散的時間低域フィルタ
- b k 8…離散的時間乗算器
- b k 1 2…離散的時間シーケンス
- b k 1 4…離散的時間シーケンス
- b k 1 6…離散的時間シーケンス
- b k 1 8…離散的時間シーケンス
- e 1, e 2…等価ノイズ源

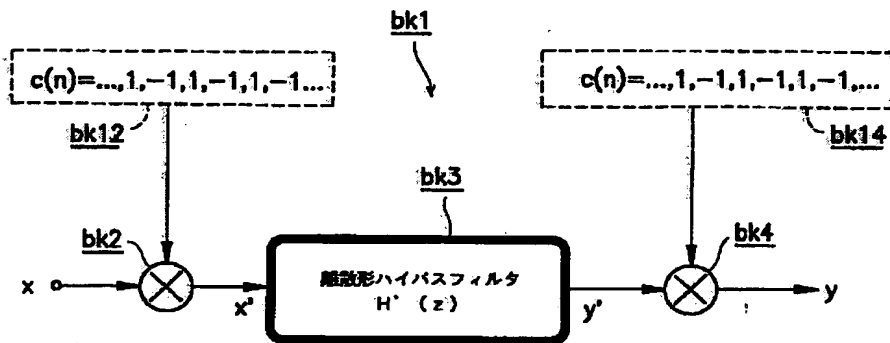
40

【図7】

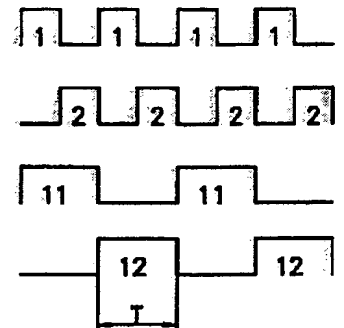


(9)

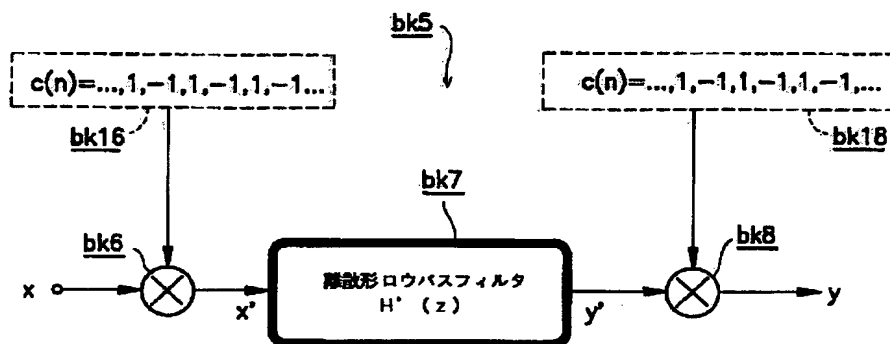
【図1】



【図10】

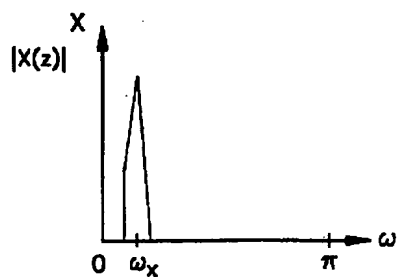


【図2】

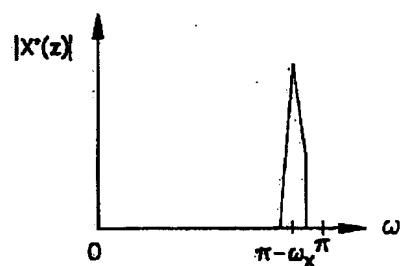


【図3】

(a)

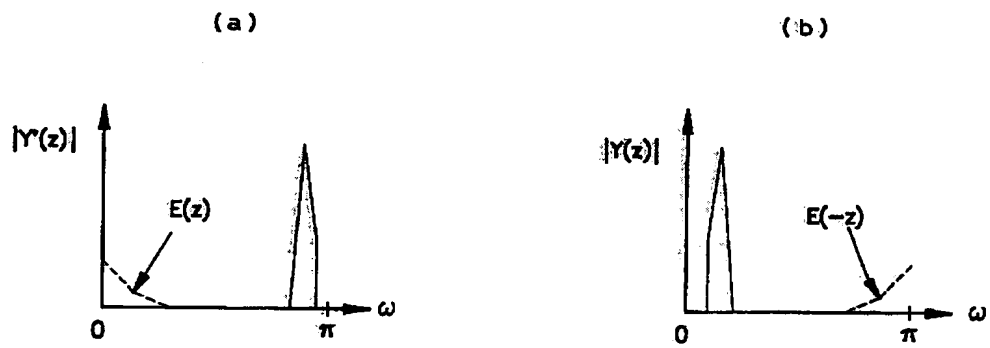


(b)

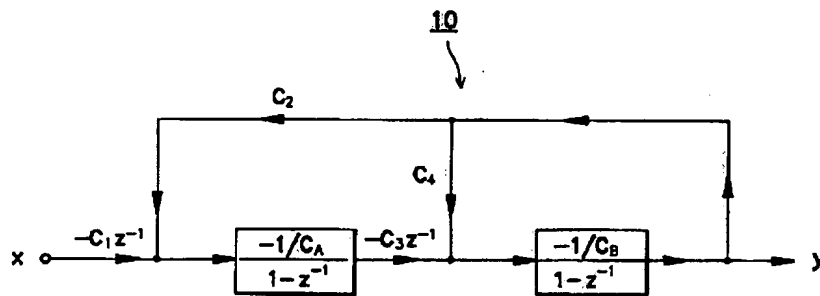


(10)

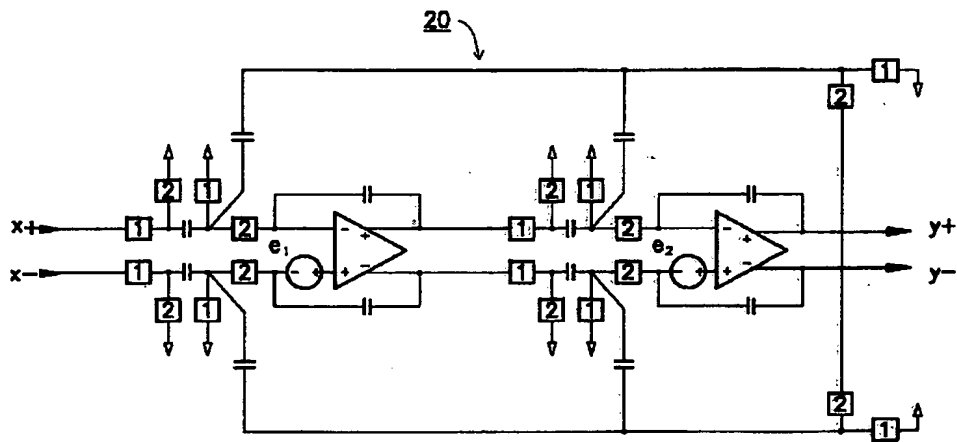
【図4】



【図5】

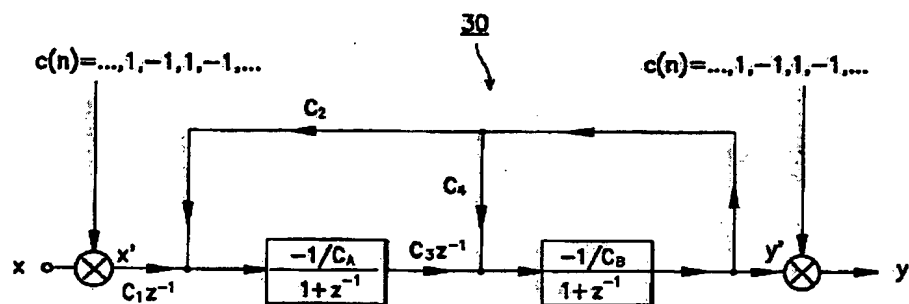


【図6】

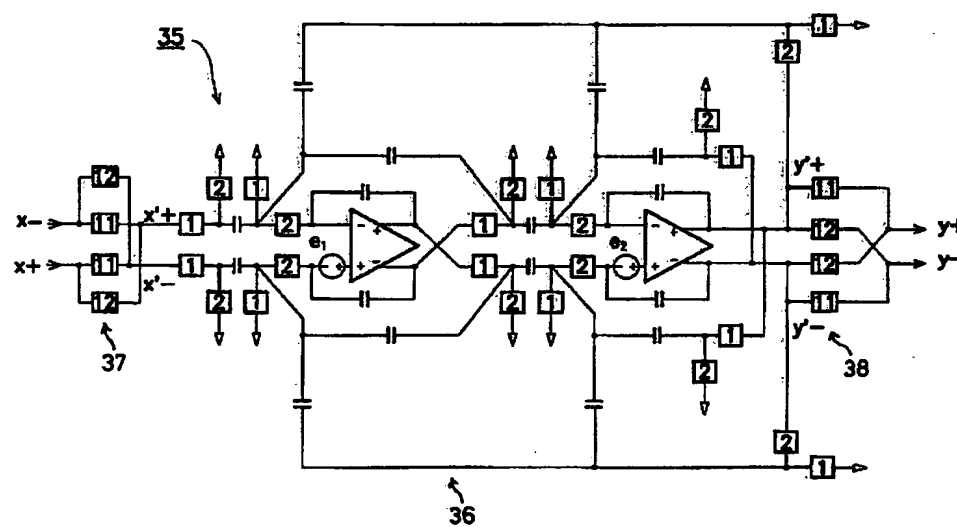


(11)

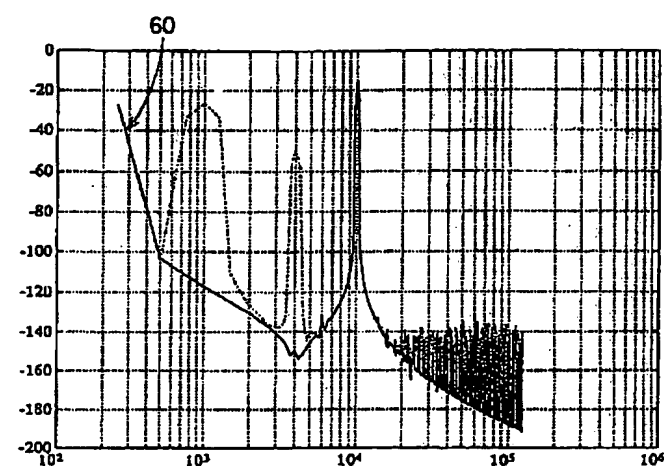
【図 8】



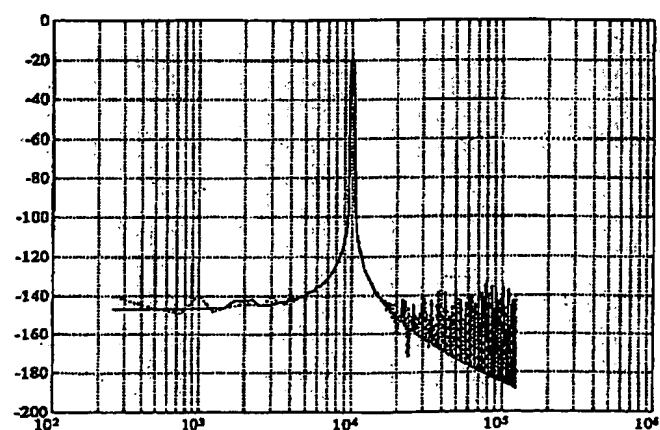
【図 9】



【図 11】



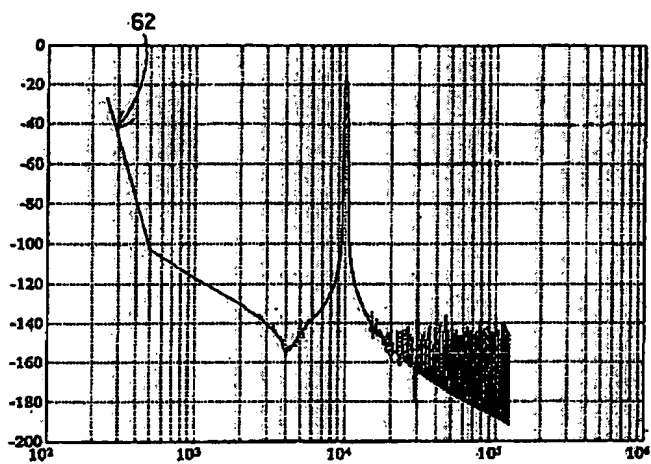
【図 13】





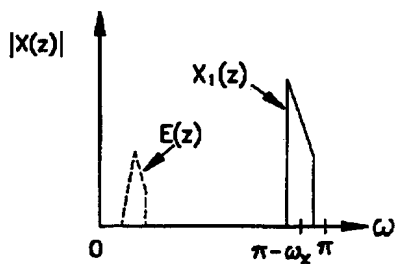
(12)

【図12】

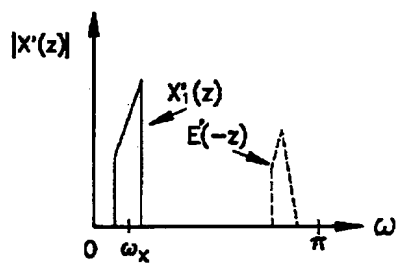


【図14】

(a)

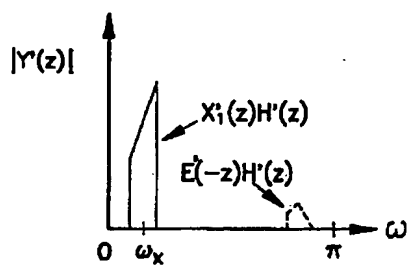


(b)

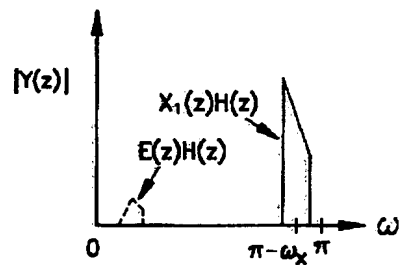


【図15】

(a)

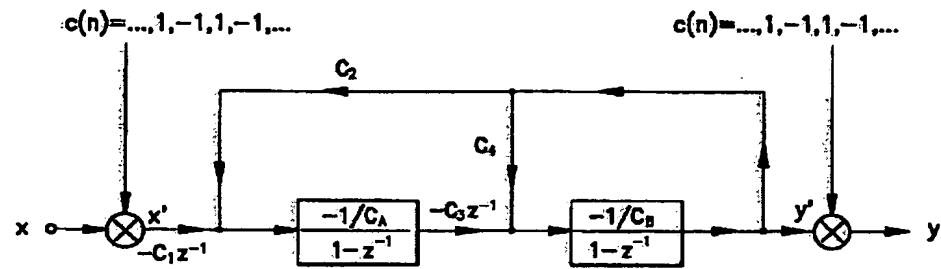


(b)



(13)

【図 16】



【図 17】

